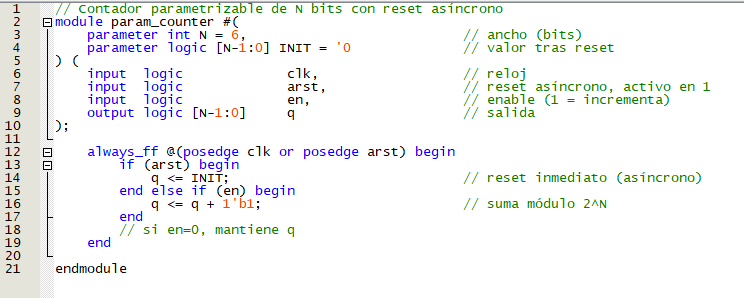
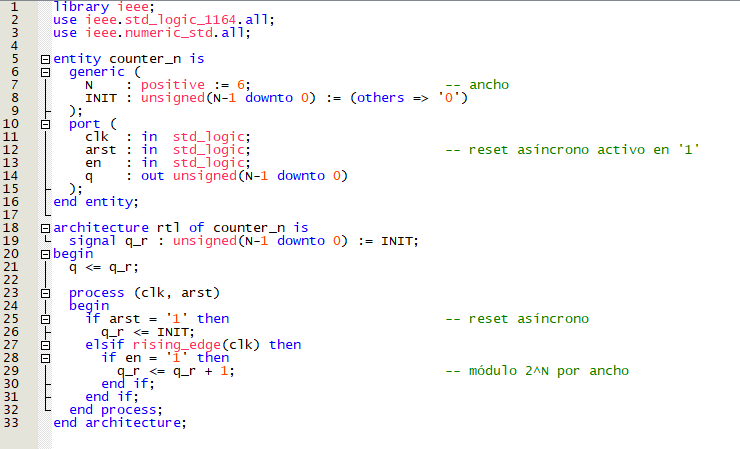
**Propuesta 1) System Verilog**

**Características**

* Parametrizable: N fija el rango (p. ej., N=2 → 0..3; N=6 → 0..63).
* Valor inicial configurable: INIT.
* Sencillez y legibilidad: una sola ecuación: si en entonces q <= q+1.
* clk: Señal de reloj.
* arst: Reset asíncrono activo en alto (pone el contador a 0 sin esperar al flanco del reloj).
* en: Enable (si está en ‘1’, el contador incrementa; si está en ‘0’, mantiene el valor).
* q: Salida del contador.

**Propuesta 2) VHDL**

**Características**

* Parametrización por generic (N, INIT).
* Uso de numeric\_std para suma sobre unsigned.
* Reset asíncrono a nivel RTL.

**Tabla de transición (común en ambas propuestas)**

|  |  |  |  |
| --- | --- | --- | --- |
| **arst** | **en** | **Q (actual)** | **Q(siguiente)** |
| 1 | X | XX | 00 |
| 0 | 0 | 00 | 00 |
| 0 | 1 | 00 | 01 |
| 0 | 1 | 01 | 10 |
| 0 | 1 | 10 | 11 |
| 0 | 1 | 11 | 00 |

Ambas propuestas son correctas, equivalentes en funcionalidad y sintetizables. Sin embargo, SystemVerilog lo hace de manera más concisa y directa, por ejemplo, los tipos logic y bloques always\_ff facilitan la lectura, siendo esta la propuesta elegida por su facilidad ante la otra propuesta a pesar de hacer lo mismo.